

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-177873

(43)Date of publication of application : 25.06.1992

(51)Int.Cl.

H01L 27/092

H01L 29/784

(21)Application number : 02-306844

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.11.1990

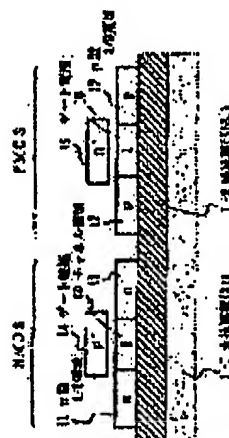
(72)Inventor : MAKINO TAKAMI

### (54) COMPLIMENTARY MIS SEMICONDUCTOR DEVICE

#### (57)Abstract:

PURPOSE: To enable hot carrier effect to be restricted and a threshold voltage ( $V_{th}$ ) to be set easily by forming NMOS and PMOS channel regions with a nearly intrinsic semiconductor layer and then constituting a gate electrode with a material having a Fermi level which is separated from the Fermi level of the intrinsic semiconductor.

CONSTITUTION: A nearly intrinsic Si layer exists as a channel region 10 on a supporting substrate 1-1 such as an Si wafer and an insulation layer 1-2 such as  $SiO_2$ , a gate electrode 14 of NMOS is p+ polySi, and a gate electrode 15 of PMOS is n+ polySi. Then, a Fermi level of p+ polySi is located at an upper edge of a band gap and that of n+ polySi is located at a lower edge of the band gap, thus achieving a sufficient energy level difference with the Fermi level of the nearly intrinsic Si forming a channel region and achieving a desired  $V_{th}$ , thus preventing hot carrier effect from being generated.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

## ⑫ 公開特許公報(A)

平4-177873

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月25日

H 01 L 27/092  
29/784

7735-4M	H 01 L	27/08	3 2 1	B
9056-4M		29/78	3 1 1	G
9056-4M			3 1 1	C

審査請求 未請求 請求項の数 5 (全10頁)

⑭ 発明の名称 相補型MIS半導体装置

⑮ 特 願 平2-306844

⑯ 出 願 平2(1990)11月13日

⑰ 発 明 者 牧 野 孝 実 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1 発明の名称

相補型MIS半導体装置

## 2 特許請求の範囲

(1) 絶縁性基板上に設けられた略真性の半導体層に、n型のソース/ドレイン領域と、ゲート絶縁膜を介して第1の導電性材料のゲート電極を設けることによってnチャネルの絶縁ゲート型電界効果トランジスタが形成され、p型のソース/ドレイン領域と、ゲート絶縁膜を介して第2の導電性材料のゲート電極を設けることによってpチャネルの絶縁ゲート型電界効果トランジスタが形成されて成る半導体装置であって、

(a) 該nチャネルトランジスタのゲート電極を構成する第1の導電性材料のフェルミレベルは該チャネル領域を構成する半導体材料の価電子帯上端に近似しており、

(b) 該pチャネルトランジスタのゲート電極を構成する第2の導電性材料のフェルミレベルは該チャ

ネル領域を構成する半導体材料の伝導帯下端に近似しており、

(c) 該兩種トランジスタのチャネル領域を形成する該半導体層の比抵抗は、

i) チャネル領域とソース領域が異種導電型である構成に於いて、

該トランジスタの動作温度に於いて、ゲート電極のフェルミレベルとバンドギャップの略中央部に位置する該半導体層のフェルミレベルとの差が、ゲート電圧が0Vの時に該トランジスタが確実に非導通となる $V_{th}$ を実現するのに必要なエネルギーレベル差を下回ることのない不純物濃度に相当する値であり、

ii) チャネル領域とソース領域が同種導電型である構成に於いて、

該トランジスタの動作温度に於けるリーク電流値が、

該トランジスタを用いて構成する回路の誤動作を防止するための許容値を越えない値であるか、または該トランジスタを用いて構成する集積回路

の許容全電流値から定まる値の中、少ない方のリーク電流値を越えないために必要な値であることを特徴とする相補型MIS半導体装置。

(2) 前記絶縁性基板上に設けられた半導体層がn型またはp型の高抵抗シリコン層であり、

該シリコン層の比抵抗は、ソース領域とチャネル領域が同導電型であるトランジスタが形成される領域では $10^3 \Omega \text{cm}$ よりも大であり、ソース領域とチャネル領域が異種導電型であるトランジスタが形成される領域では $10^3 \Omega \text{cm}$ よりも大であることを特徴とする請求項1の相補型MIS半導体装置。

(3) 前記nチャネルトランジスタのゲート電極を構成する第1の導電性材料は真性シリコンのフェルミレベルから0.3 eV以上隔たった下方にあり、

前記pチャネルトランジスタのゲート電極を構成する第2の導電性材料は真性シリコンのフェルミレベルから0.3 eV以上隔たった上方にあることを特徴とする請求項1または請求項2の相補型MIS半導体装置。

$V_{th}$ を備えると共に、素子の微細化に伴うホットキャリア効果の発生を防止した構造を実現することを目的とし、

該チャネル領域の半導体層を略真性とすると共に、

NMOSのゲート電極材料のフェルミレベルが該半導体層の価電子帯の上端近傍にあり、PMOSのゲート電極材料のフェルミレベルが該半導体層の伝導帯の下端近傍にあるように、両種ゲート電極の材料を選択して構成する。

#### (産業上の利用分野)

本発明は、絶縁基板上に半導体の素子形成層が設けられた所謂SOI基板に、nチャネル及びpチャネルの両種のMOSトランジスタが形成された集積回路の構造に関するものである。

nチャネルとpチャネルのMOSトランジスタを組み合わせる回路を構成する相補型の集積回路(以下、単にCMOSと表記)は消費電力が小である長を有し、多種類の回路がCMOSとしてI

(4) 前記nチャネルトランジスタのゲート電極を構成する第1の導電性材料はp<sup>+</sup>型の多結晶シリコンであり、前記pチャネルトランジスタのゲート電極を構成する第2の導電性材料はn<sup>+</sup>型の多結晶シリコンであることを特徴とする請求項3の相補型MIS半導体装置。

(5) 前記nチャネルトランジスタのゲート電極を構成する第1の導電性材料はニッケル(Ni)であり、前記pチャネルトランジスタのゲート電極を構成する第2の導電性材料はチタン(Ti)であることを特徴とする請求項3の相補型MIS半導体装置。

#### 3 発明の詳細な説明

##### [ 概 要 ]

本発明はSOI基板に形成されたCMOS型の集積回路装置に関し、

製造工程を簡略化する構造として、PMOS、NMOSのチャネル領域である半導体層を同導電型とした場合に、両種トランジスタが共に所望の

C化されている。

一方、絶縁基板上に半導体層を設けたSOI基板は、ICを構成する各素子間が完全に絶縁分離できる特長を持ち、SOI基板の製造技術の進展に伴って広く実用に供されるようになってきている。なお、本発明はMISトランジスタに広く適用し得るものであるが、本明細書ではその典型的構造であるMOSトランジスタについて説明する。また、通常のSOI基板はシリコンウエハ上に酸化膜などの絶縁膜を介して素子形成層である半導体層を設けた構造である。

CMOSを通常のバルク基板に形成する場合には、どちらかの導電型のトランジスタを形成するためのウエルまたはタブと呼ばれる領域が必要である。この領域は通常p/n接合によって基板から分離されるのが通常の構造であるが、ICの高集積化のためウエルを小型化すると、寄生サイリスタの影響が顕在化するなど、好ましくない事態が発生する。これをSOI基板に形成すれば、そのような問題を回避することができるので、微

細パターンを持つ高集積CMOSの開発がOI基板を利用して進められている。

しかしながら、SOI基板を利用すれば素子間分離は完全であるが、素子の微細化を進めようとすると、素子形成層の厚さが小であることに起因する問題が新たに生じてくる。MOSトランジスタの場合、閾値電圧( $V_{th}$ )の調整が困難であることがその最たるものとなる。近年の半導体装置の高性能化は、微細化による素子の性能向上に負うところが大きであるから、これは是非解決しなければならぬ問題である。

通常のSOI型CMOSのトランジスタは第6図のような構造を持つ。図の1-1はSiウエハのような支持基板、1-2は $SiO_2$ のような絶縁層である。この絶縁層上のSi層に形成された2個のn型S/D領域11とこれ等に挟まれたp型チャネル領域10-1およびチャネル領域上に図示されないゲート絶縁膜を介して存在するゲート電極13によってNMOSが、また2個のp型S/D領域12とこれ等に挟まれたn型チャネル領域10-2およびチャネル領域上に存在するゲート電極14によってPMOSが構成されている。

Siウエハのようなバルク基板にMOSトランジスタを形成する場合、ゲート電極にはn型ポリSiのように扱い易い材料を採用し、 $V_{th}$ はチャネル領域に不純物をドーピングすることで調整するのが通常の方法であるが、SOI基板の半導体層のような薄膜に形成されたMOSトランジスタでは、チャネル領域の不純物濃度に対する $V_{th}$ の依存性が弱くなるという状況が存在する。

このことはバルクに形成したMOSトランジスタと同じだけ $V_{th}$ を変移させるには、より多量のチャネルドーピングが必要なことを意味するが、チャネル領域の不純物濃度が高くなるほどホットキャリア効果が生じ易くなり、トランジスタの小型化が阻害される。

チャネル領域の厚さが小であることは、更に、NMOSの場合は $V_{th}$ の負側へのシフトをもたらし、PMOSの場合は正側へのシフトをもたらし、このシフト量はチャネル領域が薄いほど大となり、

これもまた $V_{th}$ の制御を困難なものとしている。

これ等に加えて、SOI基板の半導体層の厚さが十分に均一でない点も問題となる。即ち、チャネル領域の不純物ドーピングによって $V_{th}$ を調整する場合、イオン注入のドーズ量制御が十分に高精度であっても、チャネル層の厚さが異なれば、活性化処理後の不純物濃度が異なることになり、 $V_{th}$ のばらつきをもたらし得るのである。

このように、SOI型のMOSトランジスタはバルク基板に形成したMOSトランジスタに比べて $V_{th}$ 調整が困難であり、特にCMOSではnチャネル、pチャネルの両種のトランジスタの $V_{th}$ を調整しなければならないため、一層困難となる。

【従来の技術と発明が解決しようとする課題】

【従来の技術と発明が解決しようとする課題】

MOSトランジスタの $V_{th}$ を決定する要因としては、空乏層の広がり方として影響するチャネル不純物濃度と、チャネル領域の半導体のフェルミレベルとゲート電極材料のフェルミレベルの差が考えられる。

バルクに形成されたCMOSでは、ゲート材料に利用しやすい材料(例えばn型ポリシリコンなど)を用い、チャネル不純物濃度で $V_{th}$ を調整している。SOIでも従来はこのような構成が採られてきた。

しかしながら薄膜SOIでn型ポリシリコンをゲートに使用した場合、p型チャネル領域の不純物濃度はあまり高濃度化しなくても $V_{th}$ を所望値に調整できるが、n型チャネル領域の不純物濃度は極度に高濃度化しなくては所望の $V_{th}$ が得られないという問題があった。これは、薄膜SOIでは $V_{th}$ の不純物濃度依存性が小さくなるため、ゲート電極材料のフェルミレベルがn型シリコンに近い場合には、一方のMOSトランジスタの $V_{th}$ の調整は容易だが、他方のMOSトランジスタの $V_{th}$ の調整は困難になるということである。

この問題に対処するものとして、フェルミレベルがバンドギャップのほぼ中央に位置する、つまりn型およびp型シリコンに対して同程度のフェルミレベルの差を持つ材料でゲート電極を構成し

たCMOSが提案されている。これは、ゲート材料をタングステン(W)のようにフェルミレベルが真性シリコンのそれにほぼ等しいものとすれば、PMOSとNMOSでチャネル領域とゲート電極のフェルミレベル差の偏りが無くなり、ともに同程度の不純物濃度で $V_{th}$ を制御することができる、というものである。

このフェルミレベルとバンドギャップの関係を図示したものが第7図である。Wのフェルミレベル $E_{fW}$ はSiの価電子帯21と伝導帯22のほぼ中央に位置することから、n型Siのフェルミレベル $E_{fN}$ との間には $V_N = E_{fW} - E_{fN}$  ( $< 0$ ) のエネルギー差があり、p型Siのフェルミレベル $E_{fP}$ との間には $V_P = E_{fW} - E_{fP}$  ( $> 0$ ) のエネルギー差がある。MOSトランジスタの $V_{th}$ は $V_N$  または  $V_P$  にほぼ等しく且つSiのバンドギャップが $\sim 1.2$  eVであることから、これ等のエネルギー差は通常のCMOSに要求される $V_{th}$ の値(0.3 $\sim$ 0.4 V)を、ゲート電極のn型或いはp型シリコンの不純物を高濃度化することによって実現する

のに十分な程度に大きいと言える。

この先行技術のMOSトランジスタは、NMOSとPMOSの形成がほぼ均等な制約の下に進められ、 $V_{th}$ 制御の難易さが一方のトランジスタに偏ることがない点で優れている。しかし、ここでも $V_{th}$ の制御はチャネル領域の不純物濃度調整に依っており、該領域の不純物濃度が高くなるため、ホットキャリア効果が生じ易くなるという問題は未解決である。そのため、ホットキャリア効果の回避にはLDD構造を採るなどの対策が別途必要となっている。

本発明の目的は、SOI型CMOSに於いて、 $V_{th}$ の制御が容易であると共に、ホットキャリア効果の発生を回避した集積回路構造を提供することであり、他の目的は、製造工程を簡略化する構造として、PMOS、NMOSのチャネル領域である半導体層を同導電型とした場合に、兩種トランジスタが共に所望の $V_{th}$ を備え得る構造を提供することである。

#### 〔課題を解決するための手段〕

上記目的を達成するため、本発明のCMOS構造は、

NMOSおよびPMOSのチャネル領域を共に略真性の半導体層とすると共に、

NMOSのゲート電極材料のフェルミレベルが該半導体層の価電子帯の上端近傍にあり、PMOSのゲート電極材料のフェルミレベルが該半導体層の伝導帯の下端近傍にあるように、兩種ゲート電極の材料が選択されたものとなっている。

MOSFETの $V_{th}$ を決定する要因としての不純物濃度の影響は、薄膜SOIでSOIシリコン膜厚が薄くなるほど、またチャネル不純物濃度が低くなるほど小さくなり、超薄膜・低濃度チャネルのSOIではチャネル領域の半導体のフェルミレベルとゲート電極材料のフェルミレベルの差で $V_{th}$ はほとんど決定する。そこでPMOSとNMOSのゲート電極材料を変更することにより、チャネル領域の半導体のフェルミレベルとゲート電極材料のフェルミレベルの差でそれぞれの $V_{th}$ を

調整しようとするものである。

典型的な実施例に於いては、CMOSはほぼ真性のSiを素子形成層とするSOI基板に形成され、NMOSのゲート電極はp型ポリSiであり、PMOSのゲート電極はn型ポリSiである。また、素子形成層であるSiの不純物濃度を比抵抗で表わすと、ソース領域とチャネル領域が同導電型のトランジスタが形成される領域では $10^5 \Omega \text{cm}$ よりも大であり、ソース領域とチャネル領域が異種導電型のトランジスタが形成される領域では $10^3 \Omega \text{cm}$ よりも大である。

#### 〔作用〕

第5図は本発明の素子のバンド構造を示す図である。ここで該図を参照することにより、本発明のCMOSに於いて所望の $V_{th}$ が得られる理由を説明する。

Siの価電子帯21、伝導帯22を図のように想定すると、チャネル領域の真性Siのフェルミレベル $E_{f1}$ はバンドギャップのほぼ中央に存在する

ことになる。これに対し、ゲート電極を構成するn型ポリSiのフェルミレベル $E_{f,n}$ とp型ポリSiのフェルミレベル $E_{f,p}$ は夫々伝導帯の下端近傍と価電子帯の上端近傍に位置する。

NMOSは略真性のチャネル領域とp型ポリSiゲートとの組み合わせで構成されるので、 $E_{f,n}$ と $E_{f,p}$ のエネルギーレベルの差 $V_{gp}$ によって $V_{th}$ が定まる。また、PMOSは略真性のチャネル領域とn型ポリSiゲートとの組み合わせで構成され、ここでは $E_{f,n}$ と $E_{f,p}$ のエネルギーレベルの差 $V_{gp}$ によって $V_{th}$ が定まる。

その結果、本発明の構造に於いても上記従来技術のWゲート構成と同様、NMOS、PMOSの何れに於いても、必要な $V_{th}$ を実現することができるが、上記先行技術とは異なり、本発明のCMOS構造ではチャネル領域の不純物濃度が低いので、濃度依存性に因って生ずる $V_{th}$ のばらつきやホットキャリア効果の発生が抑制され、素子特性が十分な精度で実現することになる。

次に、本発明が上記の効果を得るために、チャ

ネル領域のSiがどの程度真性半導体から外れたものであってもよいかという点、即ちSOI基板の素子形成層であるSi層に許容される不純物濃度の範囲について考察する。

まず、ソース/チャネルの接合がp/n接合である側では、略真性のSiとn型或いはp型ポリSiのフェルミレベルの差は夫々約0.6 eVから若干増減したものである。

エンハンスメント・モードのMOSトランジスタをゲート電圧0Vで確実にピンチオフさせるためには、 $V_{th}$ が0.4Vより大であることが望ましいから、上記エネルギーレベル差も最小で0.4Vあることが望ましい。即ち第5図に於いて、ほぼ固定した値である $E_{f,n}$ 或いは $E_{f,p}$ に対し、チャネル領域のフェルミレベル $E_{f,i}$ は上下に約0.2

eVだけ変移しても良いことになる。なお、上記 $V_{th}=0.4V$ という値は室温動作を前提とするものであって、液体窒素などで冷却して動作させる場合には $V_{th}=0.3V$ 或いはそれより小であってもよく、チャネル領域のSiに許される不純物濃

度範囲はより広くなる。

フェルミレベルが真性値から0.2 eV変移する時の不純物濃度は、比抵抗に換算すると $10^5 \Omega \text{cm}$ である。

次に、ソースとチャネルが同じ導電型となる構成について検討する。この場合も、ゲート電圧によりチャネルが形成されてトランジスタが導通するのであるが、ゲート電圧0Vでピンチオフすることではなく、いくらかのリーク電流が残ることになる。リーク電流値はチャネル領域の抵抗で定まるから、ここではチャネル領域の不純物濃度許容範囲はリーク電流の許容値から定まることになる。

ICが論理回路であると、集積度は1チップ当たり1万ゲート程度であり、メモリICなどに比べると素子数は少ない。そのため、IC全体のリーク電流よりも、回路を確実に動作させるためのリーク電流の制約の方が厳しいことになる。通常の電源電圧による動作を想定すると、ゲート幅1  $\mu\text{m}$ 当たり $10^{-8} \text{A}$ 以下という値が要求されることになる。

一方、メモリICのように素子数の多いものでは、リーク電流が多いと回路全体の発熱が増加するので、これがパッケージの放熱能力を越えることは避けねばならない。この制約はICの集積度が上がるほど厳しくなる。素子のリーク電流で表現すると、256 KbのSRAMではゲート幅1  $\mu\text{m}$ 当たり $10^{-8} \text{A}$ 程度でも良いが、1 Mbになると $10^{-10} \text{A} / \mu\text{m}$ 程度に抑えることが要求される。更に、DRAMのようにリーク電流の制約がより厳しいICでは、この値は $10^{-12} \text{A} / \mu\text{m}$ 以下というようになる。

今日のICの集積度を考慮すると、上記数値の中で $10^{-8} \text{A} / \mu\text{m}$ という値がほぼ許容限界に相当するものと考えられるが、これはドレイン電圧を5V、ゲート長0.5  $\mu\text{m}$ 、シリコン層の厚さ0.1  $\mu\text{m}$ とした場合、チャネル領域の比抵抗は $10^5 \Omega \text{cm}$ 以上が望ましいことを意味する。

比抵抗がこのように大きい値である場合、低抵抗の時のように不純物濃度に反比例する関係は成立しなくなる。このような場合の比抵抗と不純物

濃度との関係については、従来種々報告されており、当業者には経験的に知られている。

本発明の如くは、真性の半導体層をNMOSとPMOSの両方のチャンネル領域として使用すれば、該領域の不純物濃度が極めて低いことから、LD Dのような特別の構造をとらなくても、ホットキャリア効果の発生は十分に抑制される。更に導電型の異なるMOSトランジスタを同じ半導体層に形成することから、ウェル或いはタブと呼ばれる反対導電型領域の形成が不要となる。

#### 〔実施例〕

第1図は請求項4に対応する実施例の構造を示す断面模式図である。図中、1-1はSiウエハのような支持基板、1-2はSiO<sub>2</sub>のような絶縁層である。この絶縁層上に略真性のSi層がチャンネル領域10として存在し、該領域を挟んで存在する2個のn型S/D領域11およびチャンネル領域上に図示されないゲート絶縁膜を介して存在するゲート電極14によってNMOSが、また同じく略真性の

す断面模式図である。この実施例でもNMOSおよびPMOSのS/D領域とチャンネル領域は上記実施例と同様の構成であり、ゲート電極材料のみ上記実施例と異なり、NMOSではニッケル(Ni)、PMOSではチタン(Ti)が用いられている。

この構成でも、NiのフェルミレベルがSiの価電子帯付近にあり、TiのフェルミレベルがSiの伝導帯付近にあることから、第1図の実施例と同じように、両種のMOSトランジスタのチャンネル領域に同一仕様の半導体層を用いてCMOSを実現している。

第3図(a)~(g)は第1図のCMOSの製造工程を模式的に示す断面図である。以下、該図面を参照しながらこれを説明する。

同図(a)には本工程で使用するSOI基板が示されており、1-1は支持基板(Si)、1-2は絶縁層(SiO<sub>2</sub>)、2は素子形成層(Si)である。通常のSOI基板と異なり、ここでは素子形成層2は不純物濃度が $10^{13}\text{cm}^{-3}$ 以下の高抵抗Siで、厚さは

Si層であるチャンネル領域10を挟んで存在する2個のp型S/D領域12およびチャンネル領域上に存在するゲート電極15によってPMOSが構成されている。

ここで、NMOSのゲート電極14はp<sup>+</sup>ポリSiであり、PMOSのゲート電極15はn<sup>+</sup>ポリSiである。また、チャンネル領域のSi層の不純物濃度は $\sim 10^{12}\text{cm}^{-3}$ 以下である。SOI基板は2枚のSiウエハを酸化膜で接着し、一方を薄く研磨して所定の厚さとするのが通常の製法であり、ここで使用するSiウエハを十分高純度とすることにより、このような低濃度高抵抗層を得ることができる。

p<sup>+</sup>ポリSiのフェルミレベルはバンドギャップの上端に位置し、n<sup>+</sup>ポリSiのフェルミレベルはバンドギャップの下端に位置するから、チャンネル領域を形成する略真性のSiのフェルミレベルとの間に、いづれも十分なエネルギーレベル差があり、所望のV<sub>th</sub>を実現している。

第2図は請求項5に対応する実施例の構造を示

1000Å程度である。

同図(b)に示されるように、素子形成層をトランジスタ形成領域である島状領域2-1、2-2に分離し、その表面に100~200Åの熱酸化膜3を形成する。その後、基板全面に厚さ2000ÅのポリSi層4をCVD法により被着形成する。現段階ではこのポリSi層には不純物はドーピングされていない。

同図(c)には、上記ポリSi層の一部をNMOSゲート電極用とするためのイオン注入工程が示されている。ポリSi層4の表面に200ÅのSiO<sub>2</sub>膜5を被着した後、NMOS領域以外をフォトリソでマスクし、B<sup>+</sup>をイオン注入する。処理条件は注入エネルギーが30~40keV、ドーズ量が $10^{15}\sim 10^{16}\text{cm}^{-2}$ である。この処理によってポリSi層の一部がp<sup>+</sup>型ポリSi層4-pとなる。

次の図(d)の工程もイオン注入工程であり、ポリSi層をn<sup>+</sup>型とする領域以外はフォトリソでマスクし、P<sup>+</sup>をイオン注入する。この処理条件は注入エネルギーが40~50keV、ドー

ズ量が $10^{13} \sim 10^{16} \text{cm}^{-2}$ である。この処理によってポリSi層の一部が $n^+$ 型ポリSi層4-nとなる。

この後S/D領域の形成に入るが、同領域形成は第3図(e)に示されるように、一部がNMOSのゲート電極に併せてパターンニングされると共に他の部分はPMOS領域を被覆するフォトリソ層6-3を設け、これをマスクとしてポリSi層を選択的にエッチング除去した後、 $As^+$ をイオン注入してNMOSのS/D領域7-1を形成する。

PMOSのS/D領域形成でも同様の処理が行われ、同図(f)に示されるように、 $BF_3^+$ のイオン注入によりPMOSのS/D領域7-2が作られる。フォトリソ層6-4を除去すれば、同図(g)に示されるようにNMOSおよびPMOSができあり、これ等のトランジスタを組み合わせることでCMOSが形成されることになる。

本発明のようにチャネル領域の不純物濃度が低い場合にはホットキャリア効果は起こり難いが、LDD構造とする必要がある場合には、第4図(a)~(c)の工程によって形成することができる。以下

4-pG, 4-nGの側面に $SiO_2$ の側壁8-1, 8-2が残る。一方のトランジスタ領域をフォトリソ層6-5でマスクし、他方のトランジスタ領域に $As^+$ をイオン注入してS/D領域を形成すれば、第4図(c)のようにNMOSはLDD構造を備え、PMOSは $p^+/p^-/p^+$ 構造であるCMOSが得られる。

第3図或いは第4図に示される上記工程では、2種類の導電型を持つゲート電極が、選択イオン注入によって同じポリSi層から作り出されているが、本発明のCMOSを形成する別な方法として、先ず一方の導電型を持つポリSiを堆積して一方のゲート電極を形成し、次に他方の導電型を持つポリSiを堆積して他方のゲート電極を形成する方法を採ることもできる。

#### 〔発明の効果〕

本発明のSOI型CMOSでは、NMOSとPMOSのチャネル領域を同仕様(同導電型、同比抵抗)の略真性の半導体層で形成するので、他方

第4図を参照しながら本発明に於けるLDD構造の製造方法を説明する。

本発明で用いられるSOI基板の素子形成層は極めて高抵抗であるが、 $pn$ いずれかの導電型を持つ。ホットキャリア効果はチャネル/ドレインが $pn$ 接合を持つMOSトランジスタで起こる現象であるから、これを避けるためのLDD構造は、NMOS或いはPMOSのいずれか一方だけでよいことになる。ここでは素子形成層が $p^-$ 型である場合を例にとって説明する。

第3図(a)~(d)の工程を上記の如く進めた後、同図(e)の工程に於けるイオン注入処理で、 $As^+$ イオンに代えて $P^+$ イオンを $10^{13} \text{cm}^{-2}$ 注入し、NMOSのS/D領域を $n^-$ 型に変換する。第3図(f)の工程を叙上の如く進め、フォトリソ層を除去した後、第4図(a)に示すように、減圧CVD法等により $SiO_2$ 層8を $1000 \sim 2000 \text{\AA}$ の厚さに堆積する。

これをRIEのような異方性の処理法でエッチングすると、第4図(b)のように、ゲート電極

導電型のウェルを形成する工程が省略されると共に、基板不純物濃度が低いことに因ってホットキャリア効果が生じ難いという利点を備えている。

また前記作用の項で述べたように、ゲート電極を、真性半導体のフェルミレベルから隔たったフェルミレベルを持つ材料によって構成することで、MOSトランジスタの $V_{th}$ 設定を容易にしている。

#### 4 図面の簡単な説明

第1図は本発明の第1の実施例の構造を示す断面模式図、

第2図は本発明の第2の実施例の構造を示す断面模式図、

第3図は本発明の素子の製造工程を例示する断面模式図、

第4図は本発明の素子の別な製造工程を示す断面模式図、

第5図は本発明の素子のバンド構造を示す模式図、

第6図は公知のCMOSの構造を示す断面模式



図、

第7図は公知のCMOSのバンド構造を示す模式図

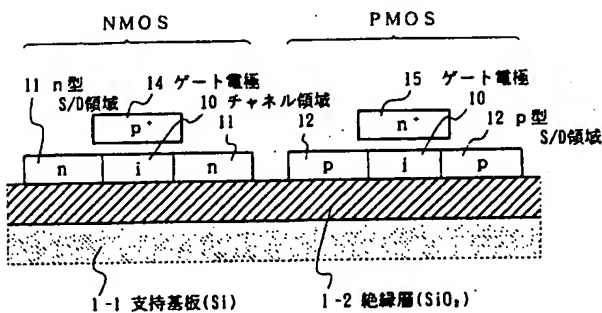
であって、

図に於いて

- 1-1は支持基板(Si)、
- 1-2は絶縁層(SiO<sub>2</sub>)、
- 2は素子形成層(Si)、
- 2-1, 2-2は島状領域、
- 3は熱酸化膜、
- 3-1はゲート絶縁膜、
- 4はポリSi(ノンドーブ)、
- 4-nはn型ポリSi層、
- 4-pはp型ポリSi層、
- 4-nGはn型ゲート電極(ポリSi)、
- 4-pGはp型ゲート電極(ポリSi)、
- 5はSiO<sub>2</sub>膜、
- 6-1, 6-2, 6-3, 6-4, はフォトレジスト、
- 7-1, 7-2, はS/D領域、
- 8はSiO<sub>2</sub>層、

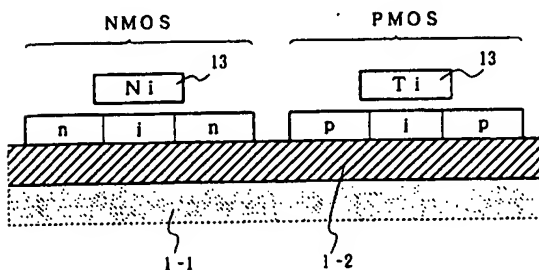
- 10はチャネル領域、
  - 10-1はp型チャネル領域、
  - 10-2はn型チャネル領域、
  - 11はn型S/D領域、
  - 12はp型S/D領域、
  - 14, 15はゲート電極、
  - 21はSiの価電子帯、
  - 22はSiの伝導帯
- である。

代理人 井理士 井桁貞一



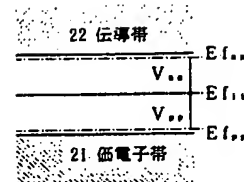
本発明の第1の実施例の構造を示す断面模式図

第1図



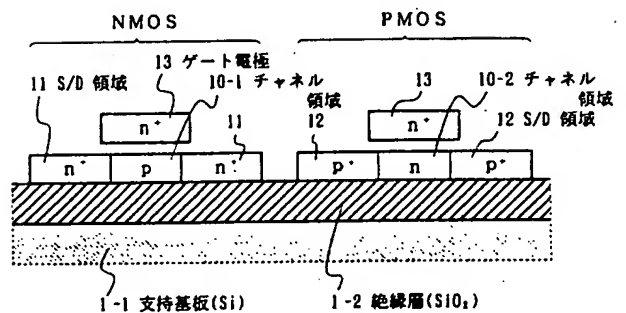
本発明の第2の実施例の構造を示す断面模式図

第2図



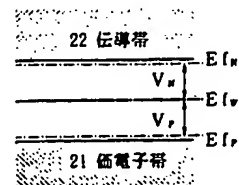
本発明の素子のバンド構造を示す図

第5図



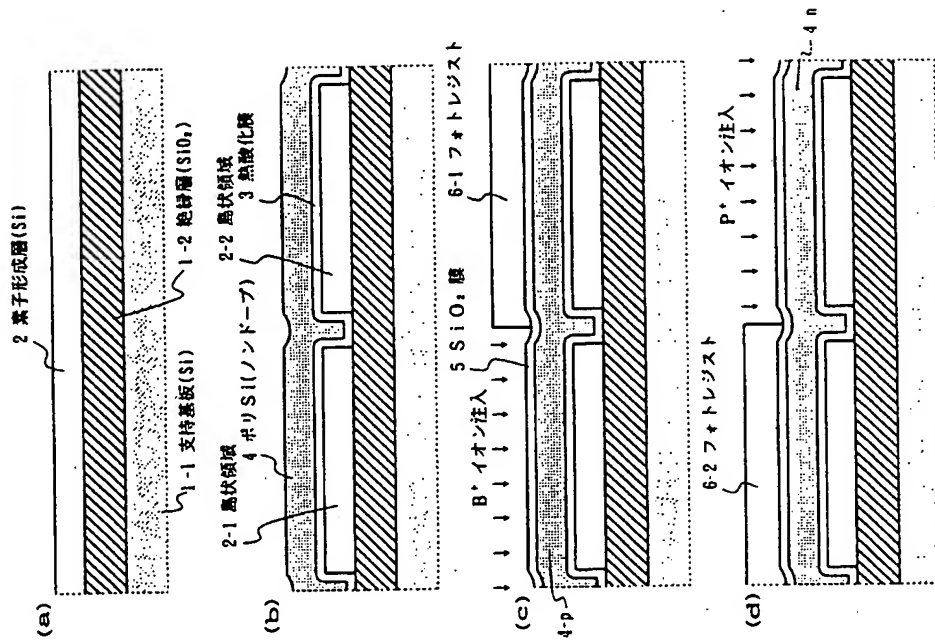
通常のSOI型CMOSの構造を示す断面模式図

第6図



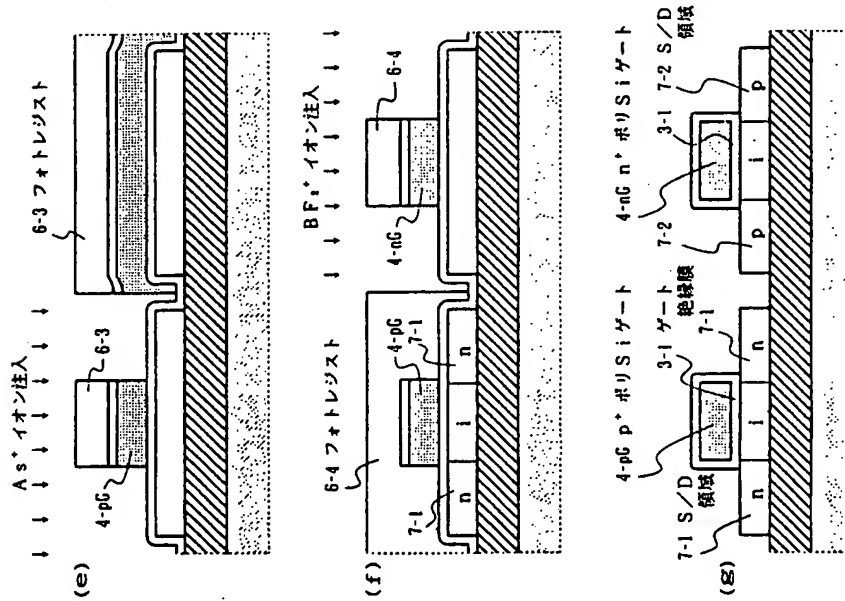
公知のCMOSのバンド構造を示す図

第7図



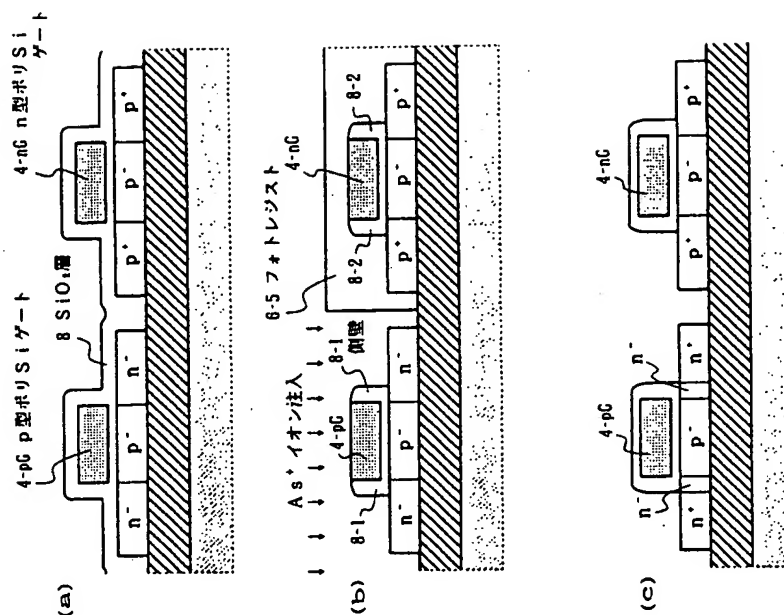
本発明の素子の製造工程を例示する断面模式図

第 3 図 (その1)



本発明の素子の製造工程を例示する断面模式図

第 3 図 (その2)



本発明の素子の別な製造工程を示す断面模式図

第 4 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**